

PROCESS MODE CONTROL UNIT

Publication number: JP54139446

Publication date: 1979-10-29

Inventor: ISHIKAWA TATSUO

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- International: G06F15/16; G06F15/177; G06F15/16; (IPC1-7):
G06F15/16

- European:

Application number: JP19780047220 19780421

Priority number(s): JP19780047220 19780421

[Report a data error here](#)

Abstract of JP54139446

PURPOSE:To ensure a highly effective and efficient operation of the system by realizing a free switching based on the designated contents of FF for the system process between the dual mode and the multiprocessor mode. **CONSTITUTION:**In case mode FF M-FF to designate the system process mode are reset with indication of the dual mode, an integral control is given to the input/output lines between system control part SC and CPU11 plus 12 under the control of switch control circuit SM based on the contents of M-FF. Thus, CPU11 and 12 process the same data in parallel and simultaneously, and at the same time output control gate G is given the opening control. And the information of the comparison result obtained from comparison part COM is taken into SC. While in case M-FF is set to indicate the multiprocessor mode, CPU11 and 12 carry out different processes independently. At the same time, G is given the closing control to inhibit the output of COM.

Data supplied from the *esp@cenet* database - Worldwide

⑨日本国特許庁(JP)

⑩特許出願公開

⑫公開特許公報 (A)

昭54—139446

⑪Int. Cl.⁷
G 06 F 15/16

識別記号 ⑬日本分類
97(7) H 1

庁内整理番号 ⑭公開 昭和54年(1979)10月29日
7165—5B

発明の数 1
審査請求 未請求

(全 6 頁)

⑮処理モード制御装置

東京芝浦電気株式会社青梅工場
内

⑯特 願 昭53—47220

⑰出 願 人 東京芝浦電気株式会社

⑱出 願 昭53(1978)4月21日

川崎市幸区堀川町72番地

⑲発 明 者 石川達夫

⑳代 理 人 弁理士 鈴江武彦 外2名

青梅市末広2丁目9番地の1

明 細 書

1. 発明の名称

処理モード制御装置

2. 特許請求の範囲

対をなす1組以上の計算機を有する情報処理システムに於いて、上記計算機を組単位の同時並行処理モードで稼働させるか、計算機単位の複合処理モードで稼働させるかを指定するフリップフロップと、このフリップフロップが同時並行処理モードを指定した際に組単位の計算機出力を比較照合する比較部と、上記フリップフロップの指定内容に基づいて計算機のディスプレイ画面情報を含む入出力情報の信号路を選択的に統合・分離制御する信号路切換制御回路とを具備してなることを特徴とした処理モード制御装置。

3. 発明の詳細な説明

この発明は複数の計算機を用いて構成される電子計算機複合体システムに於いて、処理すべき業務内容等に応じシステム処理モードを任意

に選択切換する処理モード制御装置に関する。

一般に2台の計算機を用いて構成される複合体システムに於いては、2台の計算機に同一のデータ処理を並行して行なわせ、これら各計算機の処理内容を逐次比較監視しながら業務を実行してゆく、システムの高信頼性を主目的とした所謂デュアルシステム(dual system)と、2台の計算機にそれぞれ別の仕事を行なわせてシステムスループットの向上を計つた所謂マルチプロセッシングシステム(multi processing system)とがある。

一方、計算機システムで処理される業務には、例えば、各地域に分散している多数の端末からの情報を逐次処理してゆくような類いの処理のやり直しができないもの(以下(1)の業務と称す)と、例えばセンタの専任オペレータによつて扱われるカードリーダ等から入力されるデータの処理を実行するような比較的容易に処理のやり直しができるもの(以下(2)の業務と称す)との性格の異なる2種類の業務が存在し、通常多く

のこの種計算機システムに於いては、上記した2種類の業務(1)、(2)が組合わさつた形で業務処理を実行している。これら2種の形態(1)、(2)の業務のうち、処理のやり直しができない(1)の業務を行なう場合は上記デュアルシステム構成が望ましく、また処理のやり直しが比較的容易にできる(2)の業務を行なう場合は上記マルチプロセッシングシステム構成が望ましい。しかしながら従来の複合体システムでは、システム処理モードがデュアルモードまたはマルチプロセッシングモード等、何れか単一のモードに固定化されたハードウェア構成となつていた。従つてデュアルシステム構成とした場合、或るデータ処理に対してシステム処理能力の面で問題が生じ、またマルチプロセッシングシステム構成とした場合、或るデータ処理に対してシステム信頼性の面で問題が生じる等、システムの有効かつ効率的な運用面に対して問題が残されていた。

この発明は上記実情に鑑みなされたもので、簡単なハードウェア構成により、処理すべき業

3

する比較部(以下COMと称する)、システム処理モード(デュアルモード/マルチプロセッサモード)を指定するモードフリツプフロツプ(以下M-FFと称する)、このM-FFがデュアルモードを示している際に上記COMの比較結果を出力制御する出力制御ゲート(以下Gと称する)、上記M-FFの内容に基づいてCPU11、12とシステムコントロール部(以下SCと称する)との間の入出力ラインを統合・分離制御する切換制御回路(以下SMと称する)等が設けられる。ここで上記M-FFはソフトウェア命令またはマニュアル操作指令に基づいてセット/リセット制御されるもので、例えばセット状態でマルチプロセッサモード、リセット状態でデュアルモードを示し、通常時はリセット状態となつてデュアルモードを示している。

而して上記M-FFがリセット状態となつてデュアルモードを示している際は、上記M-FFの内容に基づくSMの制御でCPU11、12

業務内容等に応じてシステム処理モードをデュアルモードまたはマルチプロセッサモードに任意に切換えることのできる処理モード制御装置を提供することを目的とする。

以下図面を参照してこの発明の一実施例を説明する。先ず具体的な構成を説明するに際し、第1図および第2図を用いて概略説明を行なう。第1図に於いて、11、12はそれぞれが同一機能構成をなす中央処理装置(以下CPUと称する)であり、このCPU11、12は、システムコントロールユニット(以下SCUと称する)13のポートP₀、P₁に接続されて、SCU13のデータ授受制御により、メインメモリ(MM)14、15、または入出力チャネル装置(CHU)16に接続された入出力装置との間のデータ授受を可能とし、更にCPU11、12相互間のデータ授受を可能としている。而して上記SCU13内には、ポートP₀で受けたCPU11の処理データとポートP₁で受けたCPU12の処理データとを比較監視

4

とSCとの間の入出力ラインが統合制御され、CPU11、12が同一のデータを同時並行処理するとともに、Gが開制御されてCOMより得られる比較結果の情報がSCに取込まれる。また上記M-FFがセット状態となつてマルチプロセッサモードを示している際は、上記M-FFの内容に基づくSMの制御でCPU11、12とSCとの間の入出力ラインが分離制御され、CPU11、12がそれぞれ独立したデータ処理を行なうとともに、Gが閉制御されてCOMの出力が禁止されるものである。

第2図は一对のCPU11A、12Aで構成される第1のシステム(#A)と他の一对のCPU11B、12Bで構成される第2のシステム(#B)とをもつ複合計算機システムにこの発明を採用した際の一構成例を示すもので、ここでは上記M-FFがデュアルモードを示している際に、一对のCPU11A、12Aで構成される第1のシステム#Aと、他の一对のCPU11B、12Bで構成される第2のシス

テム#Bとがそれぞれデュアルモードで稼働され、M-FFがマルチプロセッサモードを示している際に第1のシステム#Aを構成する一対のCPU11A, 12Aおよび第2のシステム#Bを構成する一対のCPU11B, 12Bがそれぞれ独立した処理を行なうすなわちマルチプロセッサモードで稼働される構成としたものであり、以下この構成を例にとつてこの発明の処理モード制御装置の具体的な一実施例を説明する。

第3図に於いて、101は上記第1のシステム#Aを構成する一対のCPU11A, 12Aおよび第2のシステム#Bを構成する一対のCPU11B, 12Bをデュアルモードで稼働させるかマルチプロセッサモードで稼働させるかを指示するモードフリップ(以下M-FFと呼称する)、102は第1のシステム#Aを構成する一対のCPU11A, 12Aの処理出力を比較照合する第1の比較部(以下COM-Aと呼称する)、103は第2のシステム#Bを

7

からのプロセッサ番号に関する信号群を受け取るオアゲート、109は上記M-FF101がリセット状態となつている際に上記オアゲート108より得られる信号群を出力制御するアンドゲート、110は上記M-FF101がセット状態となつてマルチプロセッサモードを示している際にCPU12Aからのプロセッサ番号に関する信号群を出力制御するアンドゲート、111は上記アンドゲート109, 110の出力を受けてこれを信号線201Bに送出するオアゲート、112は上記M-FF101がリセット状態となつている際に信号線202Aを介してSC116より送出される信号群を出力制御するアンドゲート、113は上記M-FF101がセット状態となつている際に信号線202Bを介してSC116より送出される信号群を出力制御するアンドゲート、114は上記アンドゲート112, 113の出力を受けてこれをCPU12Aへ送出するオアゲート、115は上記M-FF101がリセット状態と

9

構成する一対のCPU11B, 12Bの処理出力を比較照合する第2の比較部(以下COM-Bと呼称する)、104, 105は上記M-FF101の内容に基づいて対応するCOM-A102, COM-B103の出力を制御するアンドゲートである。また106乃至115は上記M-FF101の内容に基づいて第1および第2のシステム#A, #Bの各CPU11A, 12A, 11B, 12Bとシステムコントロール部(以下SCと呼称する)116との間の入出力ラインの切換制御を行なう切換制御回路(SM)を構成するもので、106は上記M-FF101がリセット状態となつてデュアルモードを示している際にCPU12Aからのプロセッサ番号に関する信号群を出力制御するアンドゲート、107はこのアンドゲート、106の出力およびCPU11Aからのプロセッサ番号に関する信号群を受けてこれを第1のシステム#A用の信号線201Aに送出するオアゲート、108はCPU11BおよびCPU12B

8

なつている際に信号線202Bを介してSC116より送出される信号群を出力制御しこれを第2のシステム#BのCPU11B, 12Bに送出するアンドゲートである。

なおここでは説明の便宜上、各CPU11A, 12A, 11B, 12BとSCUとの間を接ぐポートを省略して示している。

ここで作用を説明する。

M-FF101がリセット状態となつている際は第1のシステム#Aを構成するCPU11A, 12Aと、第2のシステム#Bを構成するCPU11B, 12Bとが共にデュアルモードで稼働される。すなわちM-FF101がリセット状態となつている際はアンドゲート104, 105, 106, 109, 112, 115が共に開制御され、これによつてCOM-A102より得られるCPU11A, 12Aの処理出力の比較結果情報はアンドゲート104を介してSC116に送られ、COM-B103より得られるCPU11B, 12Bの処理出力の比較結果情報はアンドゲ

10

ト105を介してSC116に送られる。

またCPU12Aからのプロセッサ番号に関係する信号群はアンドゲート106、オアゲート107を介し、第1のシステム#Aの信号線201Aを介してSC116に送出される。一方、CPU11B, 12Bからのプロセッサ番号に関係する信号群はオアゲート108で統合された後、アンドゲート109を介し、更にオアゲート111、プロセッサ#Bの信号線201Bを介してSC116に送出される。またSC116より送出される第1のシステム#A用の応答信号群は信号線202Aを介してCPU11Aへ送られるとともに、アンドゲート112を介し、更にオアゲート114を介してCPU12Aに送られる。一方、SC116より送出される第2のシステム#B用の応答信号群は信号線202Bを介し、更にアンドゲート115を介してCPU11B, 12Bに送られる。

このようにM-FF101がリセット状態にある際は、CPU11A, 12Aが共に同一の

11

#A, CPU12Aが第2のシステム#Bとしてそれぞれマルチプロセッサモードで稼働するもので以下にその動作を説明する。なお、M-FF101がセット状態にあるときはCPU11B, 12Bは禁止状態となる。M-FF101がセット状態になることにより、アンドゲート104, 105, 106, 109, 112, 115が共に閉じ、これに代つてアンドゲート110, 113が共に開く。これによつてCOM-A102, COM-B103の出力が共に禁止されるとともに、信号線201B, 202Bを介すCPU11B, 12BとSC116との間の信号授受が断たれる。而してCPU11Aからのプロセッサ番号に関係する信号群はオアゲート107を介し、更に第1のシステム#A用の信号線201Aを介してSC116に送られるが、CPU12Aからの同様の信号群はアンドゲート106が閉じられているため上記信号線201Aには送られず、これに代つてアンドゲート110が開かれるため、

13

第1のシステム#A用の信号線201A, 202Aを介してSC116との間で信号授受を行ない、CPU11A, 12Aが第1のシステム#Aとして同時並行処理を実行して、その処理出力の比較結果情報がSC116に送出されている。更に、CPU11B, 12Bが共に同一の第2のシステム#B用の信号線201B, 202Bを介してSC116との間で信号授受を行ない、CPU11B, 12Bが第2のシステム#Bとして同時並行処理を実行して、その処理出力の比較結果情報がSC116に送られる。すなわち、M-FF101がリセット状態となつている際は、第1のシステム#Aを構成する一対のCPU11A, 12Aと、第2のシステム#Bを構成する一対のCPU11B, 12Bとがそれぞれデュアルモードで稼働される。

またM-FF101がソフトウェア命令或いはマニュアル指定によりセット状態となつた際は、第1のシステム#Aを構成するCPU11A, 12AのうちCPU11Aが第1のシステム

12

CPU12Aからのプロセッサ番号に関係する信号群は第2のシステム#Bの信号群として上記アンドゲート110、およびオアゲート111を介し、第2のシステム#B用の信号線201Bに送出される。一方、SC116より送出される第1のシステム#A用の信号群は信号線202Aを介してCPU11Aには送られるが、アンドゲート112が閉じているため、CPU12Aには送られず、これに代つてアンドゲート113が開かれているため、CPU12Aには信号線202Bを介してSC116より送出される第1のシステム#B用の信号群が送られる。

これにより、CPU11Aは第1のシステム#A用の信号線201A, 202Aを介してSC116との間で信号授受を行ない第1のシステム#Aとして処理動作を実行する。またCPU12Aは第2のシステム#B用の信号線201B, 202Bを介してSC116との間で信号授受を行ない第2のシステム#Bとして

14

独立した処理動作を実行する。このように、
M-FF 101 がセット状態となつた際は、CPU
11 A, 12 A がマルチプロセッサモードでそ
れぞれ独立して稼働される。

上記した処理モードの切換制御手段により、
例えばシステムイニシャル状態時に M-FF
101 をリセット状態として CPU 11 A,
12 A をデュアルモードで稼働させ、このモ
ードで CPU 11 A, 12 A が正常に動作し
ていることを診断プログラムを通すことにより
確認し、この確認の後、上記 M-FF 101 を
セットして CPU 11 A, 12 A をマルチプロ
セッサモードにする。更に、その後はソフトウ
ェアの制御のもとに間歇的に M-FF 101 を
リセット状態としてデュアルモードにより診断
を行なう。このようなモード処理制御を行なう
ことにより、CPU 11 B, 12 B を必要とせ
ずに、一対の CPU 11 A, 12 A のみを用い
て、二対の CPU 11 A, 12 A, 11 B,
12 B を使用した構成時と略同様の処理を効率

15

4. 図面の簡単な説明

第 1 図および第 2 図はこの発明の概略的構成
例をそれぞれ示すブロック図、第 3 図はこの発
明の具体的な一実施例を示すブロック図である。

- 11 A, 12 A, 11 B, 12 B ... CPU,
- 13 ... SCU,
- 101 ... モードフリップフロップ (M-FF),
- 102, 103 ... 比較部 (COM-A, COM-B),
- 104, 105, 106, 109, 110, 112, 113,
- 115 ... アンドゲート,
- 107, 108, 111, 114 ... オアゲート,
- 116 ... システムコントロール部 (SC).

出願人代理人 弁理士 鈴 江 武 彦

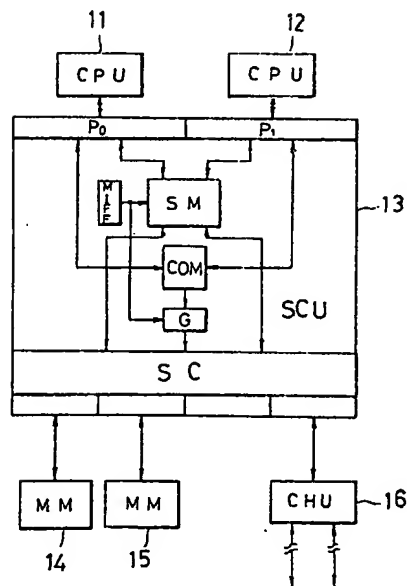
特開昭54-139446(5)
良く実行することができる。

なお上記した実施例では M-FF 101 の内
容に基づいて第 1 のシステム # A を構成する一
対の CPU 11 A, 12 A をデュアルモードと
マルチプロセッサモードとに切換える構成とし
たが、これに限らず例えば M-FF 101 の内
容に基づいて第 1 のシステム # A を構成する一
対の CPU 11 A, 12 A と第 2 のシステム
B を構成する一対の CPU 11 B, 12 B と
を共にデュアルモードとマルチプロセッサモ
ードとに切換える構成としてもよく、または複数
の M-FF (複数ビット構成のレジスタと同様)
により、それぞれが対をなす CPU で構成され
る複数組のプロセッサをそれぞれ個別にモード
切換えする構成としてもよい。

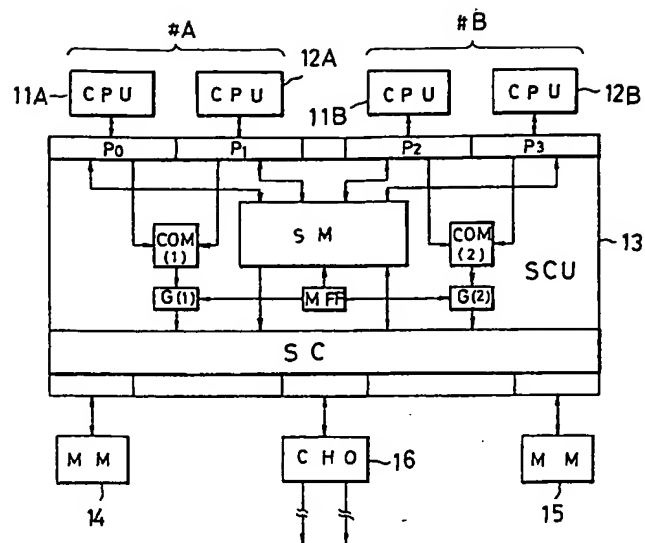
以上詳記したようにこの発明によれば、簡単
なハードウェア構成により、処理すべき業務内
容等に応じて処理モードをデュアルモードまた
はマルチプロセッサモードに任意に切換えるこ
とのできる処理モード制御装置が提供できる。

16

★ 1 図



★ 2 図



★ 3 図

